



PCT

התורה והנביא

(71) **Déposant** (pour tous les États désignés sauf US) : **STMI-CROELECTRONICS S.A.** [FR/FR]; 29, Boulevard Romain Rolland, F-92120 Montrouge (FR).

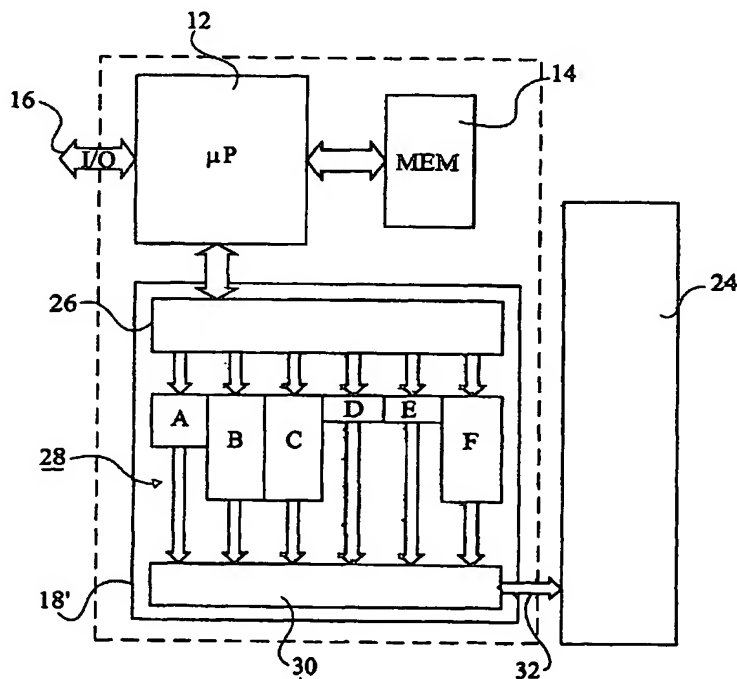
(72) Inventeur; et
(75) Inventeur/Déposant (pour US seulement) : **ROBERT, Xavier** [FR/FR]; 2, lotissement le Beau Pré, F-38450 Saint Georges de Commiers (FR).

(74) Mandataire : DE BEAUMONT, Michel; 1, rue Champollion, F-38000 Grenoble (FR).

(81) États désignés (*national*) : JP, US.

[Suite sur la page suivante]

(54) Titre : DISPOSITIF DE SURVEILLANCE A MEMOIRE TAMPON OPTIMISEE



la mémoire tampon (28), stocker

(57) Abstract: The invention concerns a monitoring device (18') integrated to a microprocessor chip (12) executing a series of instructions, comprising: means (26) for producing simultaneously several types of monitoring messages of the microprocessor, a buffer (28) divided into several blocks (A, B, C, D, E) each of which is designed to store only messages of one of the types capable of being produced simultaneously, the size of each block depending on the maximum frequency at which the messages can be stored, and means (26) for, each time one or more messages are simultaneously stored in the blocks (A, B, C, D, E) of the buffer (28), storing in a predetermined block (F) of the buffer a coded value representing said block(s) of the buffer.

(57) **Abrégé** : L'invention concerne un dispositif de surveillance (18') intégré à la puce d'un microprocesseur (12) exécutant une suite d'instructions, comprenant: un moyen (26) susceptible de produire en même temps plusieurs types de messages de surveillance du microprocesseur; une mémoire tampon (28) divisée en plusieurs blocs (A, B, C, D, E), dont chacun est prévu pour ne stocker que des messages de l'un des types de messages susceptibles d'être produits en même temps, la taille de chaque bloc dépendant de la fréquence maximale à laquelle les messages peuvent y être stockés; et un moyen (26) pour, chaque fois qu'un ou plusieurs messages sont stockés simultanément dans des blocs (A, B, C, D, E) de

[Suite sur la page suivante]



(84) États désignés (*régional*) : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

Publiée :

— avec rapport de recherche internationale

DISPOSITIF DE SURVEILLANCE À MÉMOIRE TAMPON OPTIMISÉE

La présente invention concerne le test de microprocesseurs. Elle concerne plus particulièrement un dispositif et un procédé pour, dans un circuit de surveillance intégré dans une puce de microprocesseur, stocker des messages numériques permettant de suivre le fonctionnement du microprocesseur avant de transmettre les messages à un outil d'analyse externe.

La figure 1 représente de façon schématique un circuit intégré 10 comportant un microprocesseur (μ P) 12, une mémoire interne (MEM) 14 et des bornes d'entrée/sortie (I/O) 16. Le microprocesseur 12 est destiné à exécuter un programme ou logiciel stocké dans la mémoire 14. Sous la commande du programme, le microprocesseur 12 peut traiter des données fournies par les bornes d'entrée/sortie 16 ou stockées dans la mémoire 14 et lire ou écrire des données par les bornes d'entrée/sortie 16.

De façon à vérifier le bon fonctionnement du microprocesseur, on intègre généralement au circuit intégré 10 un circuit de surveillance 18 (TEST). Le circuit de surveillance 18 est adapté à lire des données spécifiques fournies par le microprocesseur 12 lors du déroulement d'un programme, et à réaliser éventuellement un traitement sur les données lues. Des

bornes de test 22 relie le circuit de surveillance 18 à un outil d'analyse 24. L'outil d'analyse 24 peut effectuer un traitement des signaux reçus, par exemple en fonction de commandes fournies par un utilisateur, et assurer une analyse
5 détaillée du fonctionnement du microprocesseur 12. En particulier, l'outil d'analyse 24 peut déterminer la séquence d'instructions du programme réellement exécutée par le microprocesseur 12.

Le nombre de bornes de test 22 peut être du même ordre
10 de grandeur que le nombre de bornes d'entrée/sortie 16, par exemple 200 à 400 bornes. Les bornes de test 22 ainsi que les connexions du circuit de surveillance 18 occupent une surface de silicium importante, ce qui entraîne un accroissement indésirable du coût du circuit. Pour cela, une première version
15 du circuit intégré 10 incluant le circuit de surveillance 18 et les bornes de test 22 est produite en petites quantités pour effectuer la mise au point du programme du microprocesseur 12 ou "programme utilisateur". Après cette mise au point, une version du circuit intégré 10 débarrassée du circuit de surveillance 18
20 et des bornes de test 22 est commercialisée. Cela implique la réalisation de deux versions du circuit intégré, ce qui demande un travail important et reste relativement coûteux. De plus, la puce finale n'est pas forcément identique à la puce testée.

Pour pallier les inconvénients précédemment
25 mentionnés, on cherche à réaliser un circuit de surveillance 18 qui occupe une surface réduite et nécessite seulement un nombre réduit de bornes de test 22, ce qui diminue le coût de revient du circuit de surveillance. Le circuit de surveillance 18 peut alors être laissé sur le circuit intégré 10 finalement
30 commercialisé.

On cherche donc à diminuer le nombre de signaux fournis par le circuit de surveillance 18. Pour ce faire, on fait réaliser directement au niveau du circuit de surveillance 18 certaines opérations logiques sur les données mesurées au

niveau du microprocesseur 12 de façon à transmettre seulement des messages ayant un contenu informationnel important.

Ainsi, la norme IEEE-ISTO-5001 en préparation propose dans sa version de 1999, accessible par exemple sur le site
5 www.ieee-isto.org/Nexus5001, un protocole particulier d'échange de messages entre un circuit de surveillance et un outil d'analyse pour un circuit de surveillance 18 ne nécessitant qu'un nombre réduit de bornes de test 22.

Le circuit de surveillance est prévu pour surveiller
10 le fonctionnement du microprocesseur et pour fournir aux bornes de test des messages prédéterminés correspondant à l'exécution de certaines instructions seulement. D'autres messages correspondent à l'exécution de certaines instructions dans certaines conditions prédéterminées. Les différents types de
15 messages et leur structure sont décrits dans la section 6 de la norme IEEE-ISTO-5001.

Plusieurs messages peuvent être produits dans un intervalle de temps réduit. Selon la norme, chaque nouveau message est stocké dans une case, ou zone de stockage de taille
20 prédéterminée, d'une mémoire tampon de type premier-entré/premier-sorti (FIFO) lorsque les bornes de test ne sont pas disponibles (lorsqu'elles sont utilisées pour transmettre un autre message produit précédemment), puis le message est envoyé à l'outil d'analyse, et la case de la mémoire est libérée,
25 lorsque les bornes de test sont disponibles. La mémoire tampon comprend un nombre n de cases qui dépend de la fréquence à laquelle les messages peuvent être écrits dans la mémoire tampon et bien entendu aussi de la fréquence à laquelle la mémoire tampon est lue, et du nombre de bornes de test utilisées.

Certains microprocesseurs peuvent exécuter en
30 parallèle plusieurs instructions du programme. Par exemple, une instruction de saut peut être exécutée simultanément avec une instruction de lecture et/ou d'écriture dans la mémoire 14. Dans un tel cas, deux ou trois messages sont produits en même temps.
35 Pour stocker plusieurs messages produits en même temps, une

solution consiste à stocker ces messages en même temps dans une même case de la mémoire tampon. Cela oblige à accroître la capacité de mémorisation de chaque case et donc à augmenter la taille de la mémoire tampon. Ce problème est d'autant plus important que le microprocesseur est susceptible d'exécuter un grand nombre d'instructions en même temps. En outre, selon la norme, une exécution d'une même instruction peut générer des messages de types différents.

Un objet de la présente invention est de prévoir un circuit de surveillance conforme à la norme IEEE-ISTO-5001 qui permet de surveiller un microprocesseur, susceptible de produire un grand nombre de messages en même temps, et dont la mémoire tampon soit de taille réduite.

Un autre objet de la présente invention est de prévoir un procédé optimisé de stockage en mémoire tampon de messages conforme à la norme IEEE-ISTO-5001.

Pour cela, la présente invention prévoit, lorsque plusieurs types de messages sont susceptibles d'être produits en même temps, de diviser la mémoire tampon en plusieurs blocs, dont chacun est prévu pour ne recevoir que des messages de l'un des types de messages susceptibles d'être produits en même temps, la taille de chaque bloc dépendant de la fréquence à laquelle les messages peuvent y être stockés.

Plus particulièrement, la présente invention prévoit un dispositif de surveillance intégré à la puce d'un microprocesseur exécutant une suite d'instructions, comprenant : un moyen de calcul de messages pour produire des messages numériques de différents types correspondant chacun à l'exécution d'une instruction parmi une pluralité d'instructions prédéterminées, le moyen de calcul étant susceptible de produire plusieurs types de messages en même temps ; une mémoire tampon divisée en plusieurs blocs dont chacun est prévu pour ne stocker que des messages de l'un des types de messages susceptibles d'être produits en même temps, la taille de chaque bloc dépendant de la fréquence maximale à laquelle les messages

peuvent y être stockés ; et un moyen pour, chaque fois qu'un ou plusieurs messages sont stockés simultanément dans des blocs de la mémoire tampon, stocker dans un bloc prédéterminé de la mémoire tampon une valeur codée désignant le ou lesdits blocs de la mémoire tampon.

Selon un mode de réalisation de la présente invention, le dispositif comprend en outre un moyen pour lire dans l'ordre de leur stockage les valeurs codées stockées dans ledit bloc prédéterminé de la mémoire tampon, pour lire dans l'ordre de leur stockage les messages stockés dans le ou les blocs de la mémoire tampon désignés par chaque valeur codée, et fournir les messages lus à un outil d'analyse externe.

Selon un mode de réalisation de la présente invention, chaque message est composé d'une ou de plusieurs données, deux messages d'un même type pouvant être composés de données de même type et/ou de types différents, chaque bloc de la mémoire tampon est divisé en sous-blocs dont chacun est prévu pour ne stocker que des données d'un seul type de données des messages stockés dans ledit bloc, chaque sous-bloc étant dimensionné pour stocker un nombre de données prédéterminé dépendant de la fréquence à laquelle les données y sont stockées, et ladite valeur codée désigne en outre dans quels sous-blocs du ou des blocs de la mémoire tampon des données ont été stockées.

Selon un mode de réalisation de la présente invention, le dispositif comprend en outre un moyen pour lire dans l'ordre de leur stockage les valeurs codées stockées dans ledit bloc prédéterminé de la mémoire tampon, pour lire dans l'ordre de leur stockage les données stockées dans le ou les sous-blocs de la mémoire tampon désignés par chaque valeur codée, pour former des messages à partir des données lues, et pour fournir lesdits messages à un outil d'analyse externe.

Selon un mode de réalisation de la présente invention, le moyen de calcul de messages est prévu pour ne pas écrire un message comportant des données qui doivent être stockées dans un sous-bloc saturé de données, et pour produire un message

d'erreur indiquant qu'au moins un message du type dudit message a été perdu.

La présente invention vise également un procédé de surveillance d'un microprocesseur exécutant une suite
5 d'instructions, comprenant les étapes suivantes :

a/ produire un ou plusieurs messages numériques correspondant respectivement à l'exécution d'une ou de plusieurs instructions parmi une pluralité d'instructions prédéterminées, plusieurs messages pouvant être produits en même temps ;

10 b/ stocker chacun des messages produits à l'étape a/ dans un bloc prédéterminé de la mémoire tampon, les messages produits simultanément à l'étape a/ étant stockés dans des blocs distincts, et stocker en même temps une valeur codée indiquant dans quels blocs les messages ont été stockés ;

15 c/ récupérer la valeur codée écrite lors de l'étape b/, et à partir de ladite valeur codée, récupérer les messages stockés lors de l'étape b/.

Selon un mode de réalisation de la présente invention, le procédé de surveillance comporte l'étape :

20 d/ si un message produit lors de l'étape a/ doit être stocké lors de l'étape b/ dans un bloc de la mémoire tampon qui est saturé, produire et stocker un message d'erreur spécifique indiquant qu'au moins un message du type dudit message a été perdu.

25 Selon un mode de réalisation de la présente invention, chaque message est composé d'une ou plusieurs données, deux messages pouvant être composés de données de même type et/ou de données de types différents, et lors de l'étape b/ chacune des données composant les messages produits à l'étape a/ est stockée
30 dans un sous-bloc de la mémoire tampon prévu pour ne stocker qu'un seul type de données, la valeur codée indiquant dans quels sous-blocs les données ont été stockées ; et

l'étape c/ consiste à récupérer la valeur codée écrite lors de l'étape b/, et à partir de ladite valeur codée, à

récupérer les données de messages stockées lors de l'étape b/ et reconstituer le ou les messages produits lors de l'étape a/.

Selon un mode de réalisation de la présente invention, le procédé de surveillance comporte l'étape :

5 d/ si un message produit lors de l'étape a/ comporte des données devant être stockées lors de l'étape b/ dans un sous-bloc de la mémoire tampon qui est saturé, produire et stocker un message d'erreur spécifique indiquant qu'au moins un message du type dudit message a été perdu.

10 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

15 la figure 1, précédemment décrite, représente de manière schématique un circuit intégré muni d'un dispositif de surveillance ;

la figure 2 représente de manière schématique un circuit intégré muni d'un dispositif de surveillance selon la
20 présente invention ; et

les figures 3A, 3B et 3C illustrent des étapes d'écriture dans une mémoire tampon d'un dispositif selon la présente invention.

25 De mêmes références désignent de mêmes éléments aux différentes figures. Seuls les éléments nécessaires à la compréhension de la présente invention ont été représentés.

La figure 2 représente de façon schématique un circuit intégré comportant comme en figure 1 un microprocesseur 12 relié à une mémoire interne 14, à des bornes d'entrée/sortie 16, et à
30 un circuit de surveillance 18'. Le circuit 18' comporte un circuit de calcul 26 recevant des informations sur les instructions exécutées par le microprocesseur, identifiant le type d'instructions concerné et calculant des messages prévus par la norme. Le circuit de calcul 26 est relié à une mémoire
35 tampon 28 selon l'invention, elle-même reliée à l'outil

d'analyse 24 par l'intermédiaire d'un circuit d'interface 30 et de bornes de test constituant un accès parallèle 32.

Selon l'invention, la mémoire tampon 28 est divisée en plusieurs blocs, cinq dans l'exemple représenté, A, B, C, D et E
5 de stockage de messages et un bloc supplémentaire F. On va décrire ci-après un mode de réalisation de l'invention dans lequel le circuit de calcul 26 est susceptible d'identifier cinq types d'événements susceptibles de se produire simultanément ou séparément et de produire des messages correspondant à chacun de
10 ces événements.

On considère à titre d'exemple que le circuit de calcul 26 peut produire des messages de saut, d'écriture et de lecture lorsque le microprocesseur 12 exécute des instructions correspondantes, un message de synchronisation lorsque le
15 circuit de calcul a produit un nombre prédéterminé de messages de saut, et un message de service lorsque le microprocesseur atteint une condition prédéterminée choisie par l'utilisateur. On suppose par la suite que un ou plusieurs de ces messages peuvent survenir simultanément.

Lorsque le circuit de calcul 26 produit un message de saut, il le stocke dans la première case libre du bloc A de la mémoire tampon. Le bloc A comporte un nombre de cases qui dépend de la fréquence à laquelle le circuit de calcul 26 est susceptible d'écrire des messages de saut. Le nombre de cases du
25 bloc A est réduit par rapport au nombre n de cases d'une mémoire tampon classique, car une mémoire classique est prévue pour stocker tous les messages susceptibles d'être produits par le circuit de calcul 26, et non seulement les messages de saut qui ne représentent qu'une fraction des messages produits par le
30 circuit de calcul 26. Les cases du bloc A de la mémoire tampon ont chacune seulement la taille nécessaire pour stocker un message de saut. Le nombre de cases du bloc A peut être évalué en fonction du nombre moyen de messages de saut produits par le circuit de calcul 26 lors de l'exécution de divers programmes
35 par le microprocesseur.

Un message d'écriture, de lecture, de synchronisation ou de service produit par le circuit de calcul 26 est respectivement stocké dans la première case libre du bloc B, C, D ou E. Lorsque plusieurs messages sont produits en même temps, chacun d'eux est stocké dans la première case libre du bloc A à E de la mémoire tampon qui leur est réservé. Comme le bloc A, chacun des blocs B, C, D et E de la mémoire tampon comporte un nombre de cases réduit dépendant de la fréquence d'écriture des messages dans les blocs respectifs. De même, les cases des blocs B, C, D et E ont chacune seulement les tailles nécessaires pour stocker des messages respectivement d'écriture, de lecture, de synchronisation et de service. Les nombres de cases des blocs B à E peuvent être évalués de la même manière que le nombre de cases du bloc A.

Selon la présente invention, chaque fois que le circuit de calcul 26 stocke un message unique dans un bloc de la mémoire tampon ou plusieurs messages en même temps dans des blocs de la mémoire tampon, le circuit de calcul 26 produit une valeur codée désignant ledit ou lesdits blocs de la mémoire tampon. La valeur codée est stockée dans le bloc supplémentaire F de la mémoire tampon en même temps que le ou les messages sont stockés dans les blocs A à E. Selon un mode de réalisation de l'invention, illustré par la suite aux figures 3A à 3C, la valeur codée peut comprendre plusieurs bits désignant chacun un bloc de stockage de la mémoire tampon. Le bloc F comporte un nombre de cases que l'homme du métier déterminera par exemple par simulation. En pratique, ce nombre est sensiblement égal au nombre de cases d'une mémoire tampon classique.

Le circuit d'interface 30 est prévu pour lire la valeur codée stockée dans la première case occupée du bloc F, puis pour lire les messages stockés dans les premières cases occupées du ou des blocs A à E désignés par ladite valeur codée et pour envoyer lesdits messages à l'outil d'analyse 24.

La surface occupée par la mémoire 28 et l'interface 30 selon l'invention est très inférieure à la surface d'une mémoire

tampon classique qui devrait, pour remplir les mêmes fonctions que la mémoire 28, comprendre n cases dont chacune serait apte à stocker à la fois un message de saut, un message d'écriture, un message de lecture, un message de synchronisation et un message de service. Cela constitue un premier avantage de la présente invention.

Les figures 3A à 3C illustrent des étapes d'écriture dans la mémoire tampon de la figure 2. A titre d'illustration, le bloc A comporte deux cases, les blocs B et C quatre cases chacun, et les blocs D et E une case chacun. Le bloc F comporte douze cases. Chaque case du bloc F comporte cinq bits correspondant chacun à l'un des blocs A à E. On considère que la mémoire 28 est initialement vide et qu'aucune lecture de la mémoire tampon n'a lieu en même temps que les étapes illustrées.

La figure 3A représente la mémoire 28 après l'exécution à un premier instant d'une instruction d'écriture et d'une instruction de saut par le microprocesseur 12. Le circuit de calcul 26 a respectivement stocké un message de saut JMP1 et un message d'écriture WR1 dans les premières cases disponibles des blocs A et B. La valeur codée stockée dans la première case disponible du bloc F a une valeur 11000 pour indiquer qu'un message a été stocké dans chacun des blocs A et B et aucun message dans les blocs C, D et E.

La figure 3B représente la mémoire 28 après l'exécution à un deuxième instant d'une instruction de lecture par le microprocesseur 12. Le circuit de calcul 26 a stocké un message de lecture RD2 dans la première case disponible du bloc C. La valeur codée stockée dans la première case disponible du bloc F a une valeur 00100 pour indiquer qu'un message a été stocké dans le bloc C uniquement.

La figure 3C représente la mémoire 28 après l'exécution simultanée à un troisième instant d'une instruction de saut, d'une instruction d'écriture et d'une instruction de lecture par le microprocesseur 12, et la production simultanée d'un message de synchronisation par le circuit de calcul 26. Le

circuit de calcul 26 a stocké simultanément un message de saut JMP3 dans la première case disponible du bloc A, un message d'écriture WR3 dans la première case disponible du bloc B, un message de lecture RD3 dans la première case disponible du bloc C, et un message de synchronisation SYNC3 dans la première case disponible du bloc D. Une valeur codée 11110 correspondante a été inscrite dans la première case disponible du bloc F.

A titre d'illustration, en figure 3C, toutes les cases du bloc A stockent un message. Si lors d'un quatrième instant non représenté, avant qu'une lecture de la mémoire 28 ne libère au moins une case du bloc A, le microprocesseur 12 devait exécuter une instruction de saut, le circuit de calcul 26 ne pourrait pas stocker dans le bloc A un message de saut correspondant. Le circuit de calcul 26 est prévu pour produire un message d'erreur indiquant qu'au moins un message de saut n'a pas pu être stocké et a été perdu. Le circuit de calcul 26 est prévu pour produire des messages d'erreur semblables pour les blocs B à E. Si des messages destinés à être stockés dans plusieurs blocs sont perdus, un message d'erreur correspondant est produit. L'homme du métier notera que, même si un bloc de la mémoire tampon est saturé, les autres blocs peuvent encore être utilisés, ce qui constitue un avantage supplémentaire de la présente invention. Selon un mode de réalisation de la présente invention, le message d'erreur produit par le moyen 26, lorsqu'il en existe un, n'est transmis que quand l'outil d'analyse 24 a lu un nombre de cases du bloc considéré égal au nombre total de cases de ce bloc.

La présente invention a été décrite en relation avec une division particulière de la mémoire tampon dans le cas où tous les types de messages produits par le circuit de calcul sont susceptibles d'être produits en même temps. L'homme du métier adaptera sans difficulté la présente invention au cas où chaque bloc de la mémoire tampon peut recevoir divers types de messages non susceptibles d'être produits en même temps.

En outre, si l'on considère que chaque message stocké dans un bloc de la mémoire tampon est composé d'une ou de plusieurs données de types distincts, chaque bloc de la mémoire peut être divisé en sous-blocs dont chacun est prévu pour ne stocker qu'un seul type de données. Les valeurs codées stockées dans le bloc F comprendront alors autant de bits que la mémoire tampon comprend de sous-blocs.

A titre d'exemple, un message de saut peut être un message dit de saut direct et ne contenir qu'une donnée d'un seul type (I-CNT dans la norme considérée), ou un message dit de saut indirect et contenir une donnée de type I-CNT et une donnée de type adresse (ADDR). Le bloc A peut alors être divisé en un sous-bloc A' destiné à ne stocker que les données de type I-CNT, et un sous-bloc A'' destiné à ne stocker que les adresses ADDR. Les cases des sous-blocs A' et A'' sont prévues chacune pour ne stocker respectivement qu'une donnée I-CNT ou une adresse ADDR. Le sous-bloc A' comportera autant de cases que le bloc A non divisé décrit en relation avec les figures précédentes. Le sous-bloc A'', qui n'est destiné qu'à stocker des données propres aux messages de saut indirect, comportera un nombre de cases inférieur à celui du sous-bloc A'. Un bloc A divisé en deux sous-blocs A' et A'' occupe ainsi une surface inférieure à celle d'un bloc A non divisé tel que décrit en relation avec les figures précédentes, et constitue un mode de réalisation préféré de l'invention.

Bien entendu, au moment de la lecture de la mémoire tampon les données stockées dans les sous-blocs sont ré-assemblées.

De plus, le circuit de calcul 26 est de préférence prévu pour produire des messages d'erreur distincts selon que l'un ou l'autre des sous-blocs d'un bloc de la mémoire tampon est saturé, et les sous-blocs non saturés peuvent encore être utilisés pour stocker les données des messages qui leur sont propres, ce qui constitue un avantage supplémentaire de la présente invention.

La présente invention a été décrite en relation avec un circuit de calcul 26 susceptible de produire simultanément cinq types de messages, mais l'homme du métier adaptera sans difficulté la présente invention à un circuit de calcul susceptible de produire un plus grand nombre de messages en même temps. A titre d'exemple, le circuit de calcul peut être prévu pour produire en même temps les cinq types de messages décrits en relation avec la figure 2, et un message de répétition tel que décrit dans la demande N° PCT/FR02/03526 (B5731PCT).

En outre, l'homme du métier adaptera sans difficulté la présente invention à un microprocesseur susceptible d'exécuter en même temps deux instructions de même type telles que deux instructions de lecture. Il prévoira pour cela un bloc de la mémoire tampon pour le message correspondant à chaque instruction.

La présente invention a été décrite en relation avec des mémoires tampon de type premier-entré/premier-sorti, mais s'adaptera sans difficulté à d'autres structures de mémoire tampon.

La présente invention a été décrite en relation avec un codage particulier de la valeur codée stockée dans le bloc F de la mémoire tampon, mais s'adaptera sans difficulté à d'autres codages de la valeur codée.

Les divers constituants du dispositif de surveillance selon la présente invention ont été décrits comme des éléments matériels, mais l'homme du métier notera qu'ils peuvent comporter également des éléments logiciels, ou se composer uniquement d'éléments logiciels.

REVENDICATIONS

1. Dispositif de surveillance (18') intégré à la puce d'un microprocesseur (12) exécutant une suite d'instructions, comprenant :

5 un moyen de calcul de messages (26) pour produire des messages numériques de différents types correspondant chacun à l'exécution d'une instruction parmi une pluralité d'instructions prédéterminées, le moyen de calcul (26) étant susceptible de produire plusieurs types de messages en même temps ;

10 une mémoire tampon (28) divisée en plusieurs blocs (A, B, C, D, E), dont chacun est prévu pour ne stocker que des messages de l'un des types de messages susceptibles d'être produits en même temps, la taille de chaque bloc dépendant de la fréquence maximale à laquelle les messages peuvent y être stockés ;

15 un moyen (26) pour, chaque fois qu'un ou plusieurs messages sont stockés simultanément dans des blocs (A, B, C, D, E) de la mémoire tampon (28), stocker dans un bloc prédéterminé (F) de la mémoire tampon une valeur codée désignant le ou lesdits blocs de la mémoire tampon.

20 2. Dispositif selon la revendication 1, comprenant en outre un moyen (30) pour lire dans l'ordre de leur stockage les valeurs codées stockées dans ledit bloc prédéterminé (F) de la mémoire tampon (28), pour lire dans l'ordre de leur stockage les messages stockés dans le ou les blocs de la mémoire tampon (A, B, C, D, E) désignés par chaque valeur codée, et fournir les
25 messages lus à un outil d'analyse externe (24).

3. Dispositif de surveillance selon la revendication 1, dans lequel chaque message est composé d'une ou de plusieurs données (I-CNT, ADDR), deux messages d'un même type pouvant être
30 composés de données de même type et/ou de types différents, et dans lequel :

chaque bloc (A, B, C, D, E) de la mémoire tampon est divisé en sous-blocs (A', A'') dont chacun est prévu pour ne stocker que des données d'un seul type de données des messages

stockés dans ledit bloc, chaque sous-bloc étant dimensionné pour stocker un nombre de données prédéterminé dépendant de la fréquence à laquelle les données y sont stockées, et dans lequel ladite valeur codée désigne en outre dans quels sous-blocs du ou des blocs de la mémoire tampon des données ont été stockées.

4. Dispositif selon la revendication 3, comprenant en outre un moyen (30) pour lire dans l'ordre de leur stockage les valeurs codées stockées dans ledit bloc prédéterminé (F) de la mémoire tampon (28), pour lire dans l'ordre de leur stockage les données stockées dans le ou les sous-blocs de la mémoire tampon (A', A'') désignés par chaque valeur codée, pour former des messages à partir des données lues, et pour fournir lesdits messages à un outil d'analyse externe (24).

5. Dispositif de surveillance selon la revendication 4, dans lequel le moyen de calcul de messages (26) est prévu pour ne pas écrire un message comportant des données qui doivent être stockées dans un sous-bloc (A', A'') saturé de données, et pour produire un message d'erreur indiquant qu'au moins un message du type dudit message a été perdu.

6. Procédé de surveillance d'un microprocesseur exécutant une suite d'instructions, comprenant les étapes suivantes :

a/ produire un ou plusieurs messages numériques correspondant respectivement à l'exécution d'une ou de plusieurs instructions parmi une pluralité d'instructions prédéterminées, plusieurs messages pouvant être produits en même temps ;

b/ stocker chacun des messages produits à l'étape a/ dans un bloc prédéterminé (A, B, C, D, E) de la mémoire tampon (28), les messages produits simultanément à l'étape a/ étant stockés dans des blocs distincts, et stocker en même temps une valeur codée indiquant dans quels blocs les messages ont été stockés ;

c/ récupérer la valeur codée écrite lors de l'étape b/, et à partir de ladite valeur codée, récupérer les messages stockés lors de l'étape b/.

5 7. Procédé de surveillance selon la revendication 6, comportant l'étape :

d/ si un message produit lors de l'étape a/ doit être stocké lors de l'étape b/ dans un bloc de la mémoire tampon qui est saturé, produire et stocker un message d'erreur spécifique indiquant qu'au moins un message du type dudit message a été
10 perdu.

8. Procédé de surveillance selon la revendication 6, dans lequel chaque message est composé d'une ou plusieurs données, deux messages pouvant être composés de données de même type et/ou de données de types différents, et dans lequel

15 lors de l'étape b/ chacune des données composant les messages produits à l'étape a/ est stockée dans un sous-bloc (A', A'') de la mémoire tampon (28) prévu pour ne stocker qu'un seul type de données, la valeur codée indiquant dans quels sous-blocs les données ont été stockées ; et

20 l'étape c/ consiste à récupérer la valeur codée écrite lors de l'étape b/, et à partir de ladite valeur codée, à récupérer les données de messages stockées lors de l'étape b/ et reconstituer le ou les messages produits lors de l'étape a/.

25 9. Procédé de surveillance selon la revendication 8, comportant l'étape :

d/ si un message produit lors de l'étape a/ comporte des données devant être stockées lors de l'étape b/ dans un sous-bloc de la mémoire tampon qui est saturé, produire et stocker un message d'erreur spécifique indiquant qu'au moins un
30 message du type dudit message a été perdu.

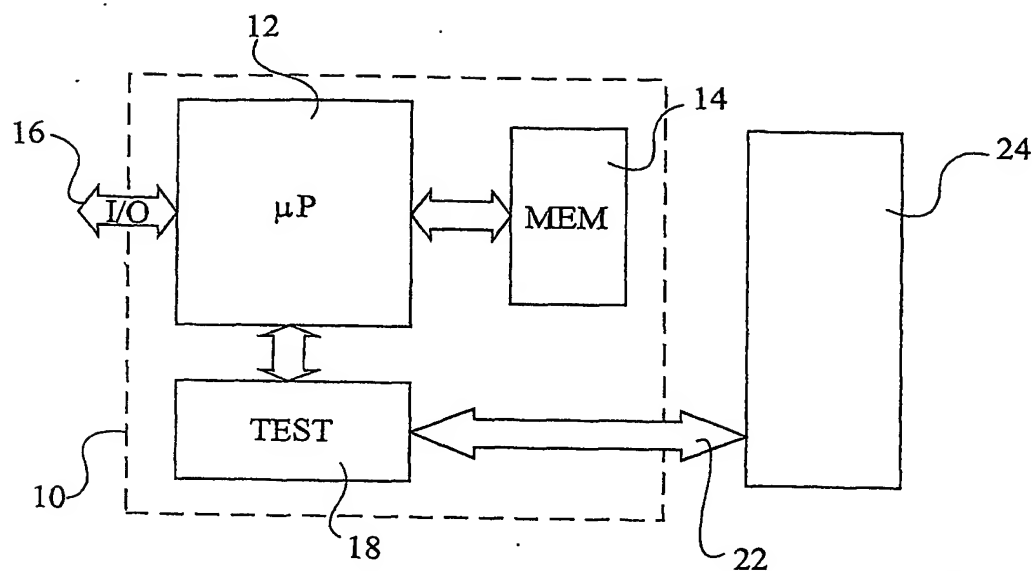


Fig 1

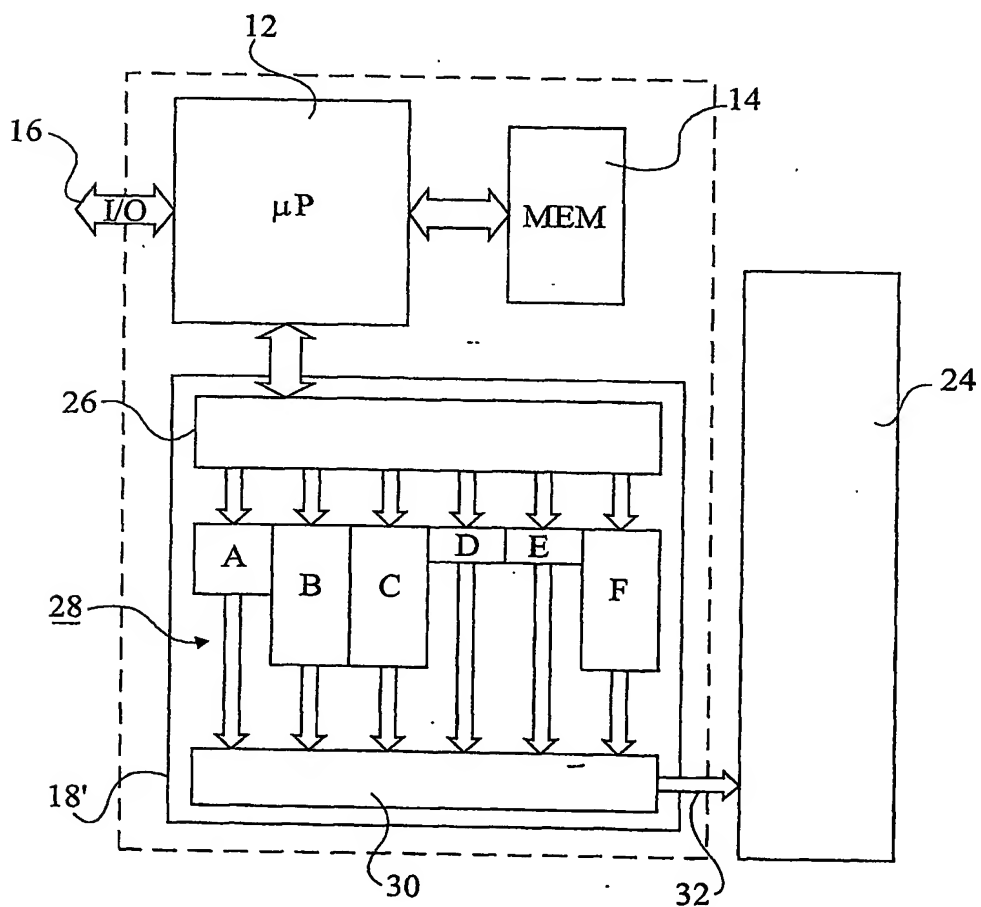


Fig 2

[illegible][illegible][illegible]

INTERNATIONAL SEARCH REPORT

International Application No

PCT/02/03996

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F11/36 G06F11/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, PAJ, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
------------	--	-----------------------

A	<p>EP 1 184 790 A (ADVANCED MICRO DEVICES INC) 6 March 2002 (2002-03-06)</p> <p>abstract</p> <p>paragraph '0018!</p> <p>paragraph '0021!</p> <p>paragraph '0027!</p> <p>paragraph '0060!</p> <p>paragraph '0063!</p> <p>figures 1-3</p>	1-9
---	---	-----

-/--

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

- *T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *G* document member of the same patent family

Date of the actual completion of the International search

21 August 2003

Date of mailing of the International search report

01/09/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Sabbah, Y

INTERNATIONAL SEARCH REPORT

International Application No
PCT 02/03996

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 848 264 A (BAIRD BRIAN R ET AL) 8 December 1998 (1998-12-08) abstract column 2, line 30 - line 32 column 3, line 28 - line 52 column 5, line 62 -column 6, line 3 column 7, line 24 - line 27 column 11, line 4 - line 43 claim 14 figures 4,6,7</p> <p>-----</p>	1-9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/JP02/03996

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1184790	A	06-03-2002	EP 1184790 A2	06-03-2002
			DE 69801156 D1	23-08-2001
			DE 69801156 T2	14-03-2002
			DE 69801220 D1	30-08-2001
			DE 69801220 T2	16-05-2002
			EP 0974093 A1	26-01-2000
			EP 0974094 A1	26-01-2000
			EP 0974096 A1	26-01-2000
			JP 2001519947 T	23-10-2001
			JP 2001519948 T	23-10-2001
			JP 2001519949 T	23-10-2001
			US 6148381 A	14-11-2000
			US 6167536 A	26-12-2000
			US 6142683 A	07-11-2000
			US 6189140 B1	13-02-2001
			US 6154856 A	28-11-2000
			WO 9845782 A1	15-10-1998
			WO 9845783 A1	15-10-1998
			WO 9845784 A1	15-10-1998
			US 6185732 B1	06-02-2001
			US 6314530 B1	06-11-2001
			US 5978902 A	02-11-1999
			US 6009270 A	28-12-1999
			US 6094729 A	25-07-2000
			US 6154857 A	28-11-2000
			US 6041406 A	21-03-2000
US 5848264	A	08-12-1998	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT 02/03996

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G06F11/36 G06F11/28

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data, INSPEC, PAJ, IBM-TDB

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>EP 1 184 790 A (ADVANCED MICRO DEVICES INC) 6 mars 2002 (2002-03-06) abrégé alinéa '0018! alinéa '0021! alinéa '0027! alinéa '0060! alinéa '0063! figures 1-3</p> <p style="text-align: center;">--- -/--</p>	1-9

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *Z* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

21 août 2003

Date d'expédition du présent rapport de recherche internationale

01/09/2003

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Sabbah, Y

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT 02/03996

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>US 5 848 264 A (BAIRD BRIAN R ET AL) 8 décembre 1998 (1998-12-08) abrégé colonne 2, ligne 30 - ligne 32 colonne 3, ligne 28 - ligne 52 colonne 5, ligne 62 - colonne 6, ligne 3 colonne 7, ligne 24 - ligne 27 colonne 11, ligne 4 - ligne 43 revendication 14 figures 4,6,7</p> <p>-----</p>	1-9

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux numéros de familles de brevets

Demande internationale No

PCT 02/03996

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1184790	A	06-03-2002	EP 1184790 A2 06-03-2002
		DE 69801156 D1 23-08-2001	
		DE 69801156 T2 14-03-2002	
		DE 69801220 D1 30-08-2001	
		DE 69801220 T2 16-05-2002	
		EP 0974093 A1 26-01-2000	
		EP 0974094 A1 26-01-2000	
		EP 0974096 A1 26-01-2000	
		JP 2001519947 T 23-10-2001	
		JP 2001519948 T 23-10-2001	
		JP 2001519949 T 23-10-2001	
		US 6148381 A 14-11-2000	
		US 6167536 A 26-12-2000	
		US 6142683 A 07-11-2000	
		US 6189140 B1 13-02-2001	
		US 6154856 A 28-11-2000	
		WO 9845782 A1 15-10-1998	
		WO 9845783 A1 15-10-1998	
		WO 9845784 A1 15-10-1998	
		US 6185732 B1 06-02-2001	
		US 6314530 B1 06-11-2001	
		US 5978902 A 02-11-1999	
		US 6009270 A 28-12-1999	
		US 6094729 A 25-07-2000	
		US 6154857 A 28-11-2000	
		US 6041406 A 21-03-2000	
US 5848264	A	08-12-1998	AUCUN